

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233547

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01S 3/18

(21)Application number : 09-034800

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 19.02.1997

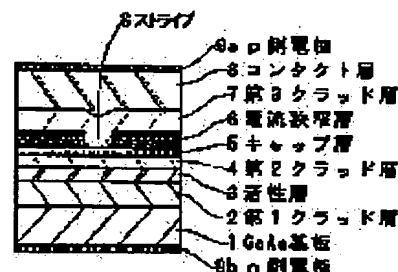
(72)Inventor : MATSUBARA KUNIO

(54) SEMICONDUCTOR LASER ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor laser element wherein little crystal defect exists in an interface between a stripe of a third clad layer and a current constriction layer, and its manufacturing method.

SOLUTION: A first clad layer 2 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a first conductivity type, an active layer 3 of $\text{Al}_y\text{Ga}_{1-y}\text{As}$ composition, a second clad layer 4 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a second conductivity type, a cap layer 5 of GaAs of a second conductivity type, a current constriction layer 6 of $\text{Al}_w\text{Ga}_{1-w}\text{As}$ composition which is divided into two areas parallel to laser optical axis of a first conductivity type, a third clad layer 7 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a second conductivity type and a GaAs contact layer 8 of a second conductivity type are sequentially laminated on one main surface of a GaAs substrate 1 of a first conductivity type, and a part between the third clad layer 7 and the current constriction layer 6 is a stripe S. In such an AlGaAs semiconductor laser element, an angle inside a stripe of an interface between the stripe S and the current constriction layer 6 is formed to an obtuse angle to a cap layer surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

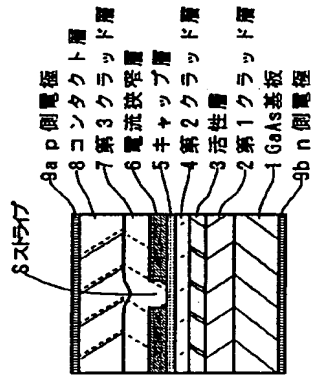
(51)Int.Cl. H01S 3/18	IPC H01S 3/18	発明の名称 半導体レーザ素子およびその製造方法
(71)出願人 H01S 3/18	特許庁 0000524	出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 松原 邦雄 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (74)代理人 弁理士 藤部 正治
(72)発明者 H01S 3/18	特許庁 0000524	発明者 神奈川県川崎市川崎区田辺新田1番1号 松原 邦雄 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (74)代理人 弁理士 藤部 正治
(73)出願日 H01S 3/18	特許庁 0000524	出願日 平成9年(1997)2月19日

(54)【発明の名称】 半導体レーザ素子およびその製造方法

(57)【要約】

【発明】第3クラッド層のストライプと電流拡散層との界面に結晶欠陥が少なく、信頼性の高い半導体レーザ素子とその製造方法を提供する。

【解決手段】第1導電型のGaAs基板1の一主面上に、第1導電型のAl_xGa_{1-x}Asの組成の第1クラッド層2、Al_xGa_{1-x}Asの組成の第2クラッド層3、第2導電型のGaAsの組成の第3クラッド層4、第2導電型のGaAsの組成の第3クラッド層5、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層6、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層7、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層8が順に積層されてなり、第3クラッド層の電流拡散層に挟まれた部分をストライプSとし、前記ストライプの前後の界面のストライプの角度をキャップ層面に対して鋭角とする。



【特許請求の範囲】

【請求項1】第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項2】第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項3】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項4】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項5】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項6】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項7】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

【請求項8】前記第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層、第2導電型のGaAsの組成の第3クラッド層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第1導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第2導電型のAl_xGa_{1-x}Asの組成の電流拡散層、第3クラッド層の電流拡散層に挟まれた部分をストライプとし、前記ストライプの前後の界面の角度をキャップ層面に対して鋭角であることを特徴とする半導体レーザ素子。

層、第2導電型GaAsのコンタクト層が順に露出されてなり、第3クラッド層の電流拡散層に挟まれた部分をストライプとするAlGaAs系の半導体レーザ素子において、前記ストライプの前後電流拡散層との界面のストライプ内の角度をキャップ層面に対して鋭角であるようにしたため、第3クラッド層はキャップ層と電流拡散層の側面に囲まれる部分を完全に埋め、格子欠陥は生じない、従って、LD素子の信頼性は高い。

【0024】また、上記の順に各層を成膜する半導体レーザ素子の製造方法において、前記マスクは2層の誘電体層からなり、キャップ層に近い第1の誘電体層のエッチング速度は他の第2の誘電体層のエッチング速度より大きいようにしたため、上記のマスク形状が容易に形成できる。また、本発明に係る製造方法においては、従来の製造方法に付加する新たな装置は不要でありながら、歩留りが向上しているため、コスト低減の効果もある。

【図面の簡単な説明】

【図1】本発明に係るLD素子のへき開面に平行な断面

【図2】本発明に係るLD素子の製造方法におけるスト

ライプ形成前後のウェハのストライプ部の拡大断面図であり、(a)は電流拡散層形成後、(b)は第3クラッド層形成後、

【図3】従来のLD素子のへき開面に平行な断面模式図

【図4】従来のLD素子の主な製造工程後のウェハの1素子相当分を示すへき開面断面模式図であり、(a)はマスクのパターンニング工程後、(b)は電流拡散層の選択エピタキシャル成長後、(c)は電極用金属膜形成後のウェハのストライプ部の拡大断面図であり、(a)は電流拡散層形成後、(b)は第3クラッド層形成後

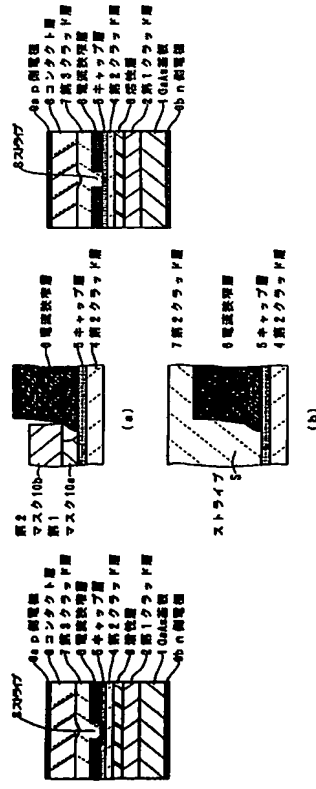
【符号の説明】

- | | | | |
|----|---------|-----|---------|
| 1 | GaAs基板 | 10 | 第1クラッド層 |
| 2 | 第2クラッド層 | 10a | 第1マスク |
| 3 | 活性層 | 10b | 第2マスク |
| 4 | 第2クラッド層 | 20 | 第1電極 |
| 5 | キャップ層 | 9a | n側電極 |
| 6 | 電流拡散層 | D | 欠陥部 |
| 7 | 第3クラッド層 | S | ストライプ |
| 8 | コンタクト層 | G | 層 |
| 10 | マスク | | |

【図1】

【図2】

【図3】



【図4】

【図5】

